

**CMOS-EINGANGSPUFFERSCHALTUNG**

**Patent number:** DE3926657  
**Publication date:** 1990-11-29  
**Inventor:** JEONG TAE-SUNG (KR)  
**Applicant:** SAMSUNG ELECTRONICS CO LTD (KR)  
**Classification:**  
- **International:** H01L23/58; H03K19/094  
- **European:** H03K19/00T4; H03K19/003K4; H03K19/0185B4  
**Application number:** DE19893926657 19890811  
**Priority number(s):** KR19890007106 19890527

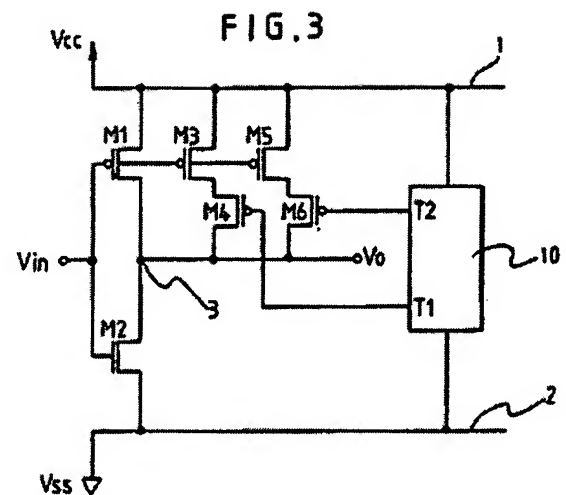
Also published as:

 NL8902048 (A)  
 JP3011823 (A)  
 GB2232311 (A)  
 FR2647608 (A1)  
 NL190137C (C)

**Abstract of DE3926657**

The CMOS input interface circuit includes at least one combination of a MOS transistor M3 and a switching means M4 interconnected in series between the drain and the source of at least one of the MOS transistors of the CMOS inverter M1, M2, with the gate of transistor M3 being connected to the input signal of said CMOS inverter.

A temperature detection means 10 (Fig 4) operates said switching means in accordance with the surrounding temperature. The switching means of the CMOS input buffer circuit of the present invention is turned on or off in accordance with the surrounding temperature so as to vary the gain constant beta of the MOS transistor and thus to control the ratio of gain constants of the MOS transistor of the CMOS inverter for temperature compensation (Fig 5). Therefore, the input signal of a TTL level is stably outputted in the form of a CMOS level signal.



Data supplied from the esp@cenet database - Worldwide

①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Offenlegungsschrift  
⑪ DE 3926657 A1

⑤1 Int. Cl. 5:  
H01L 23/58  
H 03 K 19/094

②1 Aktenzeichen: P 39 26 657.5  
②2 Anmeldetag: 11. 8. 89  
④3 Offenlegungstag: 29. 11. 90

DE 3926657 A1

③0 Unionspriorität: ③2 ③3 ③1  
27.05.89 KR 89-7106

⑦1 Anmelder:  
Samsung Electronics Co., Ltd., Suwon, KR

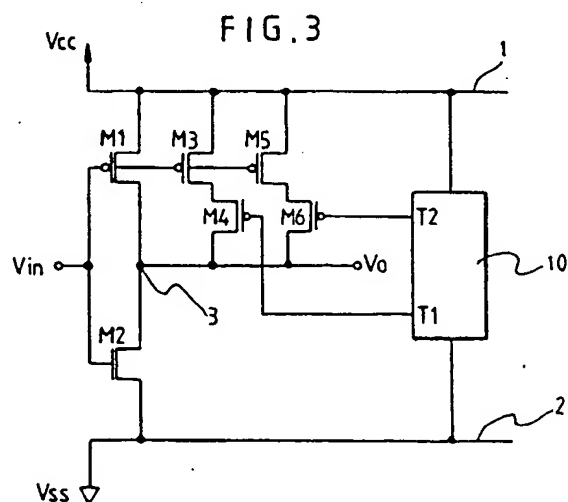
⑦4 Vertreter:  
Wilhelms, R., Dipl.-Chem. Dr.rer.nat.; Kilian, H.,  
Dipl.-Phys. Dr.rer.nat., 8000 München;  
Schmidt-Bogatzky, J., Dipl.-Ing. Dr.-Ing., 2000  
Hamburg; Pohlmann, E., Dipl.-Phys., Pat.-Anwälte,  
8000 München

⑦2 Erfinder:  
Jeong, Tae-sung, Seoul/Soul, KR

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 CMOS-Eingangspufferschaltung

CMOS-Eingangspufferschaltung mit einem CMOS-Inverter aus zwei MOS Transistoren (M1, M2), die in Reihe zueinander zwischen eine erste Energieversorgungsleitung (1) und eine zweite Energieversorgungsleitung (2) geschaltet sind, wenigstens einer Kombination aus einem MOS Transistor (M3, M5) vom gleichen Leitfähigkeitstyp wie dem des zuerst genannten MOS Transistors und einer Schalteinrichtung (M4, M6), die in Reihe geschaltet sind, wobei jede Kombination aus einem MOS Transistor (M3, M5) und aus einer Schalteinrichtung (M4, M6) parallel zwischen den Drain und die Source wenigstens eines der MOS Transistoren des CMOS-Inverters (M1, M2) geschaltet ist und am Gate des MOS Transistors (M3, M5) das Eingangssignal des CMOS-Inverters liegt, und mit einer Temperatur-Detektoreinrichtung (10), die mit der Schalteinrichtung (M4, M6) verbunden ist, um dessen Umgebungstemperatur zu erfassen. Die Schalteinrichtung (M4, M6) der CMOS-Eingangspufferschaltung wird nach Maßgabe der Umgebungstemperatur an- oder ausgeschaltet, um den Verstärkungsfaktor  $\beta$  des MOS Transistors (M3, M5) zu variieren und dadurch das Verhältnis der Verstärkungsfaktoren der MOS Transistoren (M1, M2) des CMOS-Inverters zur Temperaturkompensation zu steuern. Das Eingangssignal mit TTL-Pegel wird daher stabil in Form eines Signals mit CMOS-Pegel ausgegeben.



DE 3926657 A1

## Beschreibung

Die Erfindung betrifft eine CMOS-Eingangspufferschaltung, insbesondere für ein ultrahochdichtes CMOS-Halbleiterbauelement, die eine logische Schwellenspannung mit Temperaturkompensation hat.

5 In Verbindung mit der Entwicklung von hochintegrierten, hochgenauen und hochleistungsfähigen Halbleiterbauelementen hat der Energieverbrauch zugenommen. Daher müssen die Betriebscharakteristiken als Folge von Temperaturänderungen stärker beachtet werden.

CMOS-Eingangspufferschaltungen umfassen im allgemeinen CMOS-Inverter, an deren Eingang ein Eingangssignal mit TTL Spannungspegel liegt und die an ihrem Ausgang ein Ausgangssignal mit CMOS Spannungspegel ausgeben. Die logische Schwellenspannung eines CMOS-Inverter ändert sich jedoch mit der Temperatur. Bei niedriger Temperatur verschlechtert sich daher die Hochpegel-Eingangscharakteristik, da der logische Schwellenspannungspegel ansteigt. Bei hoher Temperatur verschlechtert sich andererseits die Niedrigpegel-Eingangscharakteristik, da der logische Schwellenspannungspegel abnimmt. Schwankungen in der Eingangscharakteristik aufgrund von Änderungen in der Umgebungstemperatur führen zu gewissen Schwierigkeiten, wie beispielsweise einem instabilen Betrieb oder einer Abnahme in der Arbeitsgeschwindigkeit.

Die logische Schwellenspannung eines CMOS-Inverters ist eine Funktion des Verhältnisses zwischen den Verstärkungsfaktoren eines P-Kanal und eines N-Kanal MOS Transistors und der Schwellenspannung des Bauelementes.

Da die Mobilität der Ladungsträger mit steigender Temperatur abnimmt, nimmt der Verstärkungsfaktor  $\beta$  auf  $\beta \approx 1/\sqrt{T^3}$  ab. Da jedoch die Mobilität sowohl der Löcher als auch der Elektronen in ähnlichem Maße durch die Temperatur beeinflusst wird, bleibt das Verhältnis zwischen den Verstärkungsfaktoren ( $\beta$ -Verhältnis =  $\beta_n/\beta_p$ ) von der Temperatur unabhängig.

Bei steigender Temperatur nehmen andererseits die Schwellenspannungen  $V_{tn}$  und  $V_{tp}$  des Bauelementes um den Temperaturkoeffizienten  $2 \text{ mV}/^\circ\text{K}$  jeweils ab. Wenn beispielsweise die Temperatur um  $50^\circ\text{C}$  zunimmt, nimmt daher die logische Schwellenspannung um  $0,4 \text{ V}$  ab. Die Niedrigpegel-Eingangscharakteristik einer CMOS-Eingangspufferschaltung verschlechtert sich daher im Hochtemperatur-Betriebsbereich, während sich die Hochpegel-Eingangscharakteristik im Niedrigtemperatur-Betriebsbereich verschlechtert.

Durch die Erfindung soll daher eine CMOS-Eingangspufferschaltung geschaffen werden, die eine temperaturkompensierte logische Schwellenspannungscharakteristik hat, indem das Verhältnis der Verstärkungsfaktoren der MOS Transistoren bei Temperaturänderungen geändert wird.

Durch die Erfindung soll insbesondere eine CMOS-Eingangspufferschaltung geschaffen werden, die Änderungen in der Eingangscharakteristik von hochintegrierten Halbleiterbauelementen bei Temperaturschwankungen so gering wie möglich hält.

Dazu umfaßt die erfindungsgemäße CMOS-Eingangspufferschaltung einen ersten MOS Transistor eines ersten Leitfähigkeitstyps und einen zweiten MOS Transistor eines zweiten Leitfähigkeitstyps, die in Reihe zwischen eine erste Energieversorgungsleitung und eine zweite Energieversorgungsleitung geschaltet sind und an deren Steuerelektroden parallel eine Eingangsspannung mit TTL Spannungspegel liegt, während an dem gemeinsamen Verbindungspunkt ihrer Drains eine Ausgangsspannung mit CMOS Spannungspegel liegt, die der Eingangsspannung entspricht, wenigstens eine Kombination aus einem MOS Transistor vom ersten Leitfähigkeitstyp und einer Schalteinrichtung, die in Reihe zwischen die erste Energieversorgungsleitung und den gemeinsamen Verbindungspunkt geschaltet sind, wobei an der Steuerelektrode des MOS Transistors die Eingangsspannung liegt und die Schalteinrichtung oberhalb einer gegebenen bestimmten Temperatur an und unter dieser Temperatur ausgeschaltet wird, eine Temperatur-Detektoreinrichtung mit wenigstens einem Ausgang, der mit dem Steuersignaleingang der wenigstens einen Schalteinrichtung verbunden ist, um diese nach Maßgabe der Temperaturänderungen zu steuern, so daß der Wert des gesamten Transistorverstärkungsfaktors für jeden der Transistoren vom ersten Leitfähigkeitstyps bei niedriger Temperatur ab- und bei hoher Temperatur zunimmt und dadurch die Schwankung in der logischen Schwellenspannung nach Maßgabe der Temperatur stabilisiert ist.

Jeder Transistor vom ersten Leitfähigkeitstyp ist ein P-Kanal MOS Transistor, während jeder Transistor vom zweiten Leitfähigkeitstyp ein N-Kanal MOS Transistor ist und die Schalteinrichtung aus einem P-Kanal MOS Transistor besteht. Wenn daher die Schalteinrichtung durchgeschaltet wird, nimmt der Verstärkungsfaktor  $\beta_p$  des P-Kanal Transistors zu, so daß das Verhältnis zwischen den Verstärkungsfaktoren ( $\beta$ -Verhältnis) der N- und P-Kanal Transistoren  $\beta_r = \beta_n/\beta_p$  abnimmt. Das Verhältnis zwischen den Verstärkungsfaktoren wird daher nach Maßgabe des Abfalls der logischen Schwellenspannung aufgrund eines Temperaturanstiegs verändert. Das führt zu einer Zunahme in der logischen Schwellenspannung, wodurch eine Kompensation bei Temperaturschwankungen erzielt wird.

Die Temperatur-Detektoreinrichtung der erfindungsgemäßen CMOS-Pufferschaltung umfaßt mehrere Temperatur-Sensoreinrichtungen, die aus einer Stromversorgungseinrichtung und einer Widerstandseinrichtung aus polykristallinem Silizium bestehen, die in Reihe zwischen die erste Energieversorgungsleitung und die zweite Energieversorgungsleitung geschaltet sind. Jede Temperatur-Sensoreinrichtung gibt auf die Umgebungstemperatur der Widerstandseinrichtung aus polykristallinem Silizium ein anderes elektrisches Ausgangssignal aus.

Der Widerstandswert des polykristallinen Siliziums, das entweder nicht dotiert oder mit einem Störstoff leicht dotiert ist, ist nicht nur sehr groß, sondern ändert sich auch stark und exponentiell mit der Temperatur.

Der Drainstrom im Bereich unterhalb des Schwellenwertes eines MOS Transistors nimmt exponentiell ab, wenn die Gatespannung unter die Schwellenspannung fällt. Eine derartige Einrichtung, die die Temperatur des Halbleiters über den Strom des MOS Transistors unterhalb des Schwellenwertes und die Widerstandstemperaturcharakteristik von polykristallinem Silizium erfassen kann, hat daher einen sehr niedrigen Energieverbrauch, so daß sie sich außerordentlich gut für hochintegrierte Halbleiterbauelemente eignet.

Das elektrische Ausgangssignal von jeder Temperatur-Sensoreinrichtung der Temperatur-Detektoreinrich-

tung wird über eine digitale Wandlereinrichtung, beispielsweise einen Inverter in ein digitales Signal umgewandelt.

Eine Stromfestlegungseinrichtung ist zusätzlich zur Temperatur-Detektoreinrichtung vorgesehen, um den Drainstrom im Bereich unterhalb des Schwellenwertes des MOS Transistors festzulegen. Diese Stromfestlegungseinrichtung umfaßt einen ersten MOS Transistor eines ersten Leitfähigkeitstyps, dessen erste Stromelektrode mit der ersten Energieversorgungsleitung verbunden ist, dessen Steuerelektrode mit der zweiten Energieversorgungsleitung verbunden ist und dessen Stromelektrode mit einem ersten Knotenpunkt verbunden ist, einen zweiten MOS Transistor eines zweiten Leitfähigkeitstyps, dessen erste Stromelektrode und dessen Steuerelektrode mit dem ersten Knotenpunkt verbunden sind, dessen zweite Steuerelektrode mit der zweiten Energieversorgungsleitung verbunden ist und der eine ausreichend große geometrische Abmessung im Vergleich mit der geometrischen Abmessung des ersten MOS Transistors hat, damit er im Bereich unterhalb des Schwellenwertes arbeiten kann, einen dritten MOS Transistor vom zweiten Leitfähigkeitstyp, dessen Steuerelektrode mit der Steuerelektrode des zweiten MOS Transistors verbunden ist, dessen erste Stromelektrode mit der zweiten Energieversorgungsleitung verbunden ist, dessen zweite Stromelektrode an einem zweiten Knotenpunkt liegt und der eine ausreichend kleine geometrische Abmessung im Vergleich mit der geometrischen Abmessung des zweiten MOS Transistors hat, und einen vierten MOS Transistor vom ersten Leitfähigkeitstyp, dessen erste Steuerelektrode mit der ersten Energieversorgungsleitung verbunden ist und dessen Steuerelektrode und zweite Stromelektrode gemeinsam am zweiten Knotenpunkt liegen und der eine ausreichend große geometrische Abmessung im Vergleich mit der geometrischen Abmessung des dritten MOS Transistors hat, damit er im Bereich unterhalb des Schwellenwertes arbeiten kann, wobei seine Steuerelektrode mit der Steuerelektrode des zweiten MOS Transistors der Stromversorgungseinrichtung verbunden ist.

Die Festlegung des Drainstromes des MOS Transistors der Stromversorgungseinrichtung ist nur durch den Wert des Drainstromes des ersten MOS Transistors der Stromfestlegungseinrichtung und durch das Verhältnis zwischen den geometrischen Abmessungen der genannten MOS Transistoren bestimmt. Der Strom der Stromversorgungseinrichtung hat daher einen Wert, der vom Herstellungsverfahren und von Temperaturänderungen unabhängig ist. Die Temperatur-Detektoreinrichtung hat verschiedene Stromversorgungswerte, da die MOS Transistoren, aus denen die Stromversorgungseinrichtung besteht, jeweils verschiedene geometrische Abmessungen haben. Es können daher verschiedene elektrische Ausgangssignale, die einer gegebenen Umgebungstemperatur entsprechen, von den Widerstandseinrichtungen aus polykristallinem Silizium mit einem gegebenen Widerstandswert erhalten werden.

Verschiedene elektrische Ausgangssignale, die einer gegebenen Umgebungstemperatur entsprechen, können auch dadurch erhalten werden, daß der Widerstandswert jedes Widerstandes aus polykristallinem Silizium bei gleichem Versorgungsstrom verschieden gemacht wird.

Die erfindungsgemäße Schaltung kann in der folgenden Weise abgewandelt werden.

Die erste Abwandlungsform umfaßt wenigstens eine Kombination aus einem MOS Transistor und einer Schalteinrichtung, die in Reihe zwischen die zweite Energieversorgungsleitung und den gemeinsamen Verbindungspunkt geschaltet ist, um den genannten Wert des Verstärkungsfaktors entsprechend der Temperatur zu ändern, wobei der MOS Transistor und die Schalteinrichtung Transistoren vom zweiten Leitfähigkeitstyp sind.

Wenn daher die Temperatur abnimmt, wird die Schalteinrichtung bei einer bestimmten Temperatur durchschalten und wird der Wert des Verstärkungsfaktors des MOS Transistors vom zweiten Leitfähigkeitstyp zunehmen. Wenn beispielsweise der zweite Leitfähigkeitstyp ein N-Kanal ist, dann wird der Verstärkungsfaktor  $\beta_n$  zunehmen und wird auch das Verhältnis zwischen den Verstärkungsfaktoren  $\beta_r = \beta_n/\beta_p$  ansteigen. Die logische Schwellenspannung nimmt mit steigendem Verhältnis zwischen den Verstärkungsfaktoren ab. In dieser Weise wird eine Temperaturkompensation erzielt.

Eine weitere Abwandlungsform der erfindungsgemäßen Schaltung umfaßt wenigstens eine Kombination aus einem MOS Transistor und einer Schalteinrichtung, die in Reihe zwischen die erste Energieversorgungsleitung und den gemeinsamen Verbindungspunkt geschaltet ist, um den Wert des Verstärkungsfaktors entsprechend der Temperatur zu ändern, sowie wenigstens eine Kombination aus einem ähnlichen MOS Transistor und einer ähnlichen Schalteinrichtung, die in Reihe zwischen die zweite Energieversorgungsleitung und den gemeinsamen Verbindungspunkt geschaltet ist.

Dabei wird eine Temperaturkompensation der logischen Schwellenspannung erreicht, indem die zuerst genannte Schalteinrichtung durchschaltet, wenn die Temperatur ansteigt, um das Verhältnis zwischen den Transistor-Verstärkungsfaktoren herabzusetzen, und die zuletztgenannte Schalteinrichtung durchschaltet, wenn die Temperatur abfällt, um das Verhältnis der Transistor-Verstärkungsfaktoren zu erhöhen.

Im folgenden werden anhand der Zeichnung besonders bevorzugte Ausführungsbeispiele der Erfindung näher beschrieben. Es zeigen

Fig. 1 eine herkömmliche CMOS-Eingangspufferschaltung,

Fig. 2 in einer graphischen Darstellung die Beziehung zwischen der logischen Schwellenspannungscharakteristik und der Temperatur bei einer herkömmlichen CMOS-Eingangspufferschaltung,

Fig. 3 ein Ausführungsbeispiel der erfindungsgemäßen CMOS-Eingangspufferschaltung,

Fig. 4 das Schaltbild eines Beispiels der Temperatur-Detektoreinrichtung bei der in Fig. 3 dargestellten CMOS-Eingangspufferschaltung,

Fig. 5 in einer graphischen Darstellung die logische Schwellenspannungscharakteristik gegenüber der Temperatur bei der in Fig. 3 dargestellten CMOS-Eingangspufferschaltung,

Fig. 6 ein weiteres Ausführungsbeispiel der erfindungsgemäßen CMOS-Eingangspufferschaltung und

Fig. 7 noch ein Ausführungsbeispiel der erfindungsgemäßen CMOS-Eingangspufferschaltung.

Wie es in Fig. 1 dargestellt ist, sind ein erster MOS Transistor M 1 vom ersten Leitfähigkeitstyp (beispielsweise P-Kanal) und ein zweiter MOS Transistor M 2 eines zweiten Leitfähigkeitstyps (z.B. N-Kanal) in Reihe

zwischen die erste Energieversorgungsleitung 1, d.h. die Vcc-Spannungsversorgungsleitung und die zweite Energieversorgungsleitung 2, d.h. die Vss-Spannungsversorgungsleitung geschaltet. Eine Eingangsspannung mit TTL Spannungspegel liegt an ihren Gateelektroden und eine Ausgangsspannung mit CMOS-Spannungspegel, die der Eingangsspannung entspricht, wird am gemeinsamen Drain Verbindungspunkt abgegeben. Die logische Schwellenspannung  $V_{inv}$  beträgt dabei:

$$V_{inv} (V_{in} = V_{out}) = \frac{V_{DD} + V_{tp} + V_{tn} \sqrt{\left(\frac{\beta_n}{\beta_p}\right)}}{1 + \sqrt{\left(\frac{\beta_n}{\beta_p}\right)}}$$

wobei

$V_{DD} = V_{cc} + V_{ss}$  : Versorgungsspannung,  
 $V_{tp}$  = Schwellenspannung für das P-Kanal MOS Element,  
 $V_{tn}$  = Schwellenspannung für das N-Kanal MOS Element,  
 $\beta_p$  = Verstärkungsfaktor für das P-Kanal MOS Element,  
 $\beta_n$  = Verstärkungsfaktor für das N-Kanal MOS Element.

Das oben genannte Verstärkungsfaktorverhältnis  $\beta_r = \beta_n/\beta_p$  ist unabhängig von der Temperatur, jedoch abhängig von der Größe des Bauelementes. Der Wert der logischen Schwellenspannung, der der Temperatur entspricht, ist daher von den Schwellenspannungen der Bauelemente  $V_{tp}$  und  $V_{tn}$  abhängig und nimmt ab, wenn die Temperatur ansteigt und umgekehrt. Die Niederpegel-Eingangsscharakteristik verschlechtert sich daher bei hohen Temperaturen, während sich die Hochpegel-Eingangsscharakteristik bei niedrigen Temperaturen verschlechtert.

Fig. 3 zeigt das Schaltbild eines bevorzugten Ausführungsbeispiels der Erfindung. Die Darstellung in Fig. 3 entspricht der Darstellung in Fig. 1 mit der Ausnahme der Reihenschaltung des dritten P-Kanal MOS Transistors M 3 zum vierten P-Kanal MOS Transistor M 4 und der Reihenschaltung des fünften P-Kanal MOS Transistors M 5 zum sechsten P-Kanal MOS Transistor M 6 zwischen der Vcc-Versorgungsleitung 1 und dem gemeinsamen Verbindungspunkt 3 und der Verbindung der Gates des vierten und sechsten MOS Transistors M 4 und M 6 mit den Ausgängen T 1, T 2 der Temperatur-Detektoreinrichtung.

Bei diesem Ausführungsbeispiel wird daher eine Temperaturkompensation der logischen Schwellenspannung dadurch erreicht, daß der Gesamtverstärkungsfaktor  $\beta_p$  des P-Kanal Bauelementes verändert wird, da der vierte und der sechste MOS Transistor M 4, M 6 nach Maßgabe der Kombination der Ausgangssignalverhältnisse an den Ausgängen T 1 und T 2 der Temperatur-Detektoreinrichtung 10 geschaltet werden.

Fig. 4 zeigt das Schaltbild der Temperatur-Detektoreinrichtung. Wie es in Fig. 4 dargestellt ist, bestehen eine erste und eine zweite Stromversorgungseinrichtung 11, 13 aus P-Kanal MOS Transistoren M 11, M 12, die im Bereich unterhalb des Schwellenwertes arbeiten. Bei dem P-Kanal MOS Transistor M 11 ist die Source mit der ersten Energieversorgungsleitung 1 verbunden, liegt der Drain am dritten Knotenpunkt N 3 und ist das Gate mit der Stromfestlegungseinrichtung 15 verbunden. Eine Klemme der Widerstandseinrichtung 12 aus polykristallinem Silizium ist mit dem dritten Knotenpunkt N 3 verbunden und die andere Klemme liegt an der zweiten Energieversorgungsleitung 2.

Bei dem P-Kanal MOS Transistor M 12 ist die Source mit der ersten Energieversorgungsleitung 1 verbunden, liegt der Drain am vierten Knotenpunkt N 4 und ist das Gate mit der Stromfestlegungseinrichtung 15 verbunden. Eine Klemme der Widerstandseinrichtung 14 aus polykristallinem Silizium liegt am vierten Knotenpunkt N 4 und die andere Klemme ist mit der zweiten Energieversorgungsleitung 2 verbunden.

Die Stromfestlegungseinrichtung 15 besteht aus vier MOS Transistoren. Bei dem ersten P-Kanal MOS Transistor M 7 ist die Source mit der ersten Energieversorgungsleitung 1 verbunden, liegt das Gate an der zweiten Energieversorgungsleitung 2 und ist der Drain mit dem ersten Knotenpunkt N 1 verbunden, wobei der Drainstrom  $ID_1$  zum ersten Knotenpunkt N 1 fließt. Bei dem zweiten N-Kanal MOS Transistor M 8 sind Drain und Gate mit dem ersten Knotenpunkt N 1 verbunden und liegt die Source an der zweiten Energieversorgungsleitung 2. Damit der zweite MOS Transistor M 8 im Bereich unterhalb des Schwellenwertes arbeitet, ist das Verhältnis zwischen den geometrischen Abmessungen des ersten und zweiten MOS Transistors so gewählt, daß  $W_7 < W_8$  ( $L_7 = L_8$ ) ist.

Damit der dritte N-Kanal MOS Transistor M 9 die gleiche Gatevorspannung wie der zweite MOS Transistor M 8 hat, liegt sein Gate am ersten Knotenpunkt N 1, ist seine Source mit der zweiten Energieversorgungsleitung 2 verbunden und liegt sein Drain am zweiten Knotenpunkt N 2. Der dritte MOS Transistor M 9 arbeitet daher im Bereich unterhalb des Schwellenwertes und zwar unabhängig von seiner Kanalbreite. Der Drainstrom  $ID_3$  des dritten MOS Transistors M 9 ist gleich

$$ID_3 = ID_1 \frac{W_9}{W_8} \text{ (für } W_9 < W_8, L_9 = L_8 \text{)}$$

Bei dem vierten P-Kanal MOS Transistor M 10 sind Gate und Drain mit dem zweiten Knotenpunkt N 2 verbunden und liegt die Source an der ersten Energieversorgungsleitung 1. Damit der vierte MOS Transistor M 10 im Bereich unterhalb des Schwellenwertes arbeitet, ist das Verhältnis zwischen den geometrischen Abmes-

sungen des dritten und des vierten MOS Transistors M 9, M 10 so gewählt, daß  $W_9 < W_{10}$  ( $L_9 = L_{10}$ ) ist.

Die Gates des fünften und sechsten P-Kanal MOS Transistors M 11, M 12, die die Stromversorgungseinrichtung bilden, sind mit dem zweiten Knotenpunkt N 2 verbunden. Der fünfte und der sechste P-Kanal MOS Transistor M 11, M 12 haben daher dieselbe Gatespannung wie der vierte MOS Transistor M 10 und arbeiten im Bereich unterhalb des Schwellenwertes. Dabei ist das Verhältnis der geometrischen Abmessungen des vierten und fünften Transistors M 10, M 11 so gewählt, daß  $W_{10} > W_{11}$  ( $L_{10} = L_{11}$ ) ist. Der Drainstrom ID 5 des fünften MOS Transistors ist daher

$$ID_5 = ID_1 \frac{W_9}{W_8} \frac{W_{11}}{W_{10}}$$

wobei ID 1: Drainstrom des ersten MOS Transistors W 8 bis W 11: Kanalbreite jedes MOS Transistors

Das Verhältnis zwischen den geometrischen Abmessungen des vierten und sechsten MOS Transistors M 10, M 12 ist darüber hinaus so gewählt, daß  $W_{10} > W_{12}$  ( $L_{10} = L_{12}$ ) ist.

Der Drainstrom ID 6 des sechsten MOS Transistors wird daher gleich

$$ID_6 = ID_1 \frac{W_9}{W_8} \frac{W_{12}}{W_{10}}$$

Darüber hinaus sind sowohl der dritte Knotenpunkt N 3, der der Verbindungspunkt des fünften MOS Transistors M 11 und der ersten Widerstandseinrichtung 12 aus polykristallinem Silizium ist, und der vierte Knotenpunkt N 4, der der Verbindungspunkt des sechsten MOS Transistors M 12 und der zweiten Widerstandseinrichtung 14 aus polykristallinem Silizium ist, mit den Ausgängen T 1, T 2 über Digitalwandlereinrichtungen 16, 17 jeweils verbunden. Die Digitalwandlereinrichtungen 16, 17 bestehen dabei beispielsweise aus zweistufigen, in Kaskade geschalteten Invertern IN 1, IN 2 und IN 3, IN 4, wobei die Drainströme des fünften und sechsten MOS Transistors M 11, M 12 durch die folgende Ungleichung bestimmt sind:  $ID_5 < ID_6$  ( $W_{11} < W_{12}$ ).

Wenn daher die erste und die zweite Widerstandseinrichtung 12, 14 aus polykristallinem Silizium so ausgebildet sind, daß sie die gleichen Widerstandswerte haben, werden die Knotenspannungen VN 3, VN 4 am dritten und vierten Knotenpunkt gleich

$$V_{n3}(T) = ID_5 \times RT_1(T)$$

$$V_{n4}(T) = ID_6 \times RT_2(T),$$

wobei RT 1 der Widerstand der ersten Widerstandseinrichtung aus polykristallinem Silizium bei  $T^\circ K$  und RT 2 der Widerstand der zweiten Widerstandseinrichtung aus polykristallinem Silizium bei  $T^\circ K$  sind.

Da  $ID_5 < ID_6$  bei der gleichen Temperatur ( $T^\circ K$ ) gilt, ist  $V_{n3}(T) < V_{n4}(T)$  die Folge.

Wenn beispielsweise die Knotenspannung VN 3 so festgelegt ist, daß sie die Auslösespannung der ersten Invertereinrichtung IN 1 bei  $293^\circ K$  ( $20^\circ C$ ) erreicht, und die Knotenspannung VN 4 so festgelegt ist, daß sie die Auslösespannung der dritten Invertereinrichtung IN 3 bei  $323^\circ K$  ( $50^\circ C$ ) erreicht, dann ändern sich die Ausgangsverhältnisse an den jeweiligen Ausgängen 11, 12 in der Weise, wie es in der folgenden Tabelle 1 angegeben ist.

Tabelle 1

Ausgang	Temperatur ( $^\circ K$ )		
	263 ~ 293	293 ~ 323	323 ~ 355
T 1	Hoch	Niedrig	Niedrig
T 2	Hoch	Hoch	Niedrig

Die Änderung im Verhältnis  $\beta$  zwischen den Verstärkungsfaktoren gegenüber einer Temperaturänderung bei der in Fig. 3 dargestellten Schaltung ergibt sich aus der folgenden Tabelle 2.

Tabelle 2

	Temperatur (°K)		
	263 ~ 293	293 ~ 323	323 ~ 355
M 4	Aus	An	An
M 6	Aus	Aus	An
$\beta p$	$\beta 1$	$\beta 1 + \beta 3$	$\beta 1 + \beta 3 + \beta 5$
$\beta r = \frac{\beta n}{\beta p}$	Groß	Mittel	Klein

Wie es in einer gestrichelten Linie in Fig. 5 dargestellt ist, nimmt die logische Schwellenspannung mit steigender Temperatur ab, wobei jedoch das Verhältnis zwischen den Verstärkungsfaktoren der Transistoren gleich

$$\beta r (\text{über } 323^\circ \text{K}) = \frac{\beta n}{\beta 1 + \beta 3 + \beta 5}$$

wird und abnimmt. Die logische Schwellenspannung wird daher so kompensiert, wie es durch eine ausgezogene Linie in Fig. 5 dargestellt ist. Eine Beeinträchtigung der Niederpegel-Eingangsscharakteristik bei einem Temperaturanstieg wird daher vermieden.

Wenn die Temperatur abnimmt, steigt in der gleichen Weise die logische Schwellenspannung an, wie es durch eine gestrichelte Linie in Fig. 5 dargestellt ist, wobei jedoch das Verhältnis zwischen den Verstärkungsfaktoren der Transistoren auf

$$\beta r (\text{über } 293^\circ \text{K}) = \frac{\beta n}{\beta 1}$$

ansteigt und die logische Schwellenspannung kompensiert wird, wie es durch eine ausgezogene Linie in Fig. 5 dargestellt wird. Eine Beeinträchtigung der Hochpegel-Eingangsscharakteristik bei einer Abnahme der Temperatur wird daher vermieden.

Fig. 6 zeigt ein abgewandeltes Ausführungsbeispiel der erfindungsgemäßen Schaltung. In Fig. 6 sind sowohl die Reihenschaltung aus einem dritten N-Kanal MOS Transistor M 13 und einem vierten N-Kanal MOS Transistor M 14 als auch die Reihenschaltung aus einem fünften und einem sechsten N-Kanal MOS Transistor M 15, M 16 zwischen die Vss-Versorgungsleitung 2 und den gemeinsamen Verbindungspunkt 3 geschaltet. Die Gates des dritten und fünften MOS Transistors M 13, M 15 liegen an den Ausgängen T 1, T 2 der Temperatur-Detektoreinrichtung 10, die in Fig. 4 dargestellt ist. Die Änderung des Verstärkungsfaktorverhältnisses  $\beta r$  gegenüber der Temperatur bei der in Fig. 6 dargestellten Schaltung ergibt sich aus der folgenden Tabelle 3.

Tabelle 3

	Temperatur (°K)		
	263 ~ 293	293 ~ 323	323 ~ 355
M 13	Aus	Aus	An
M 15	An	Aus	Aus
$\beta n$	$\beta 2 + \beta 14 + \beta 16$	$\beta 2 + \beta 16$	$\beta 2$
$\beta r = \frac{\beta n}{\beta p}$	Groß	Mittel	Klein

Das Verhältnis zwischen den Verstärkungsfaktoren der Transistoren beträgt daher  $\beta r$  (über  $323^\circ \text{K}$ ) =  $\beta 2 / \beta p$  bei steigender Temperatur und  $\beta r$  (unter  $293^\circ \text{K}$ ) =  $(\beta 2 + \beta 14 + \beta 16) / \beta p$  bei fallender Temperatur. Es kann damit die in Fig. 5 dargestellte Temperaturcharakteristik der logischen Schwellenspannung erhalten werden.

Fig. 7 zeigt ein weiteres abgewandeltes Ausführungsbeispiel der erfindungsgemäßen Schaltung. Fig. 7 entspricht Fig. 1 mit der Ausnahme, daß eine Reihenschaltung aus einem dritten und einem vierten P-Kanal MOS Transistor M 17, M 18 zwischen die Vcc-Versorgungsleitung 1 und den gemeinsamen Verbindungspunkt 3

geschaltet ist, und daß eine Reihenschaltung aus einem fünften und einem sechsten N-Kanal MOS Transistor M 19, M 20 zwischen der Vss-Versorgungsleitung 2 und dem gemeinsamen Verbindungspunkt 3 liegt. Die Gates des vierten P-Kanal Transistors und des fünften N-Kanal Transistors M 18, M 19 liegen jeweils an den Ausgängen T 2, T 1 der Temperatur-Detektoreinrichtung 10, die in Fig. 4 dargestellt ist. Die Änderung im Verstärkungsfaktorverhältnis  $\beta_r$  gegenüber der Temperatur bei der in Fig. 7 dargestellten Schaltung ergibt sich aus der folgenden Tabelle 4.

Tabelle 4

	Temperatur (°K)		
	263 ~ 293	293 ~ 323	323 ~ 355
M 18	Aus	Aus	An
M 19	An	Aus	Aus
$\beta_p$	$\beta_1$	$\beta_1$	$\beta_1 + \beta_{17}$
$\beta_n$	$\beta_2 + \beta_{20}$	$\beta_2$	$\beta_2$
$\beta_r = \frac{\beta_n}{\beta_p}$	Groß	Mittel	Klein

Das Verhältnis  $\beta_r$  der Verstärkungsfaktoren der Transistoren wird daher auf

$$\beta_r (\text{über } 323^\circ \text{K}) = \frac{\beta_2}{\beta_1 + \beta_{17}}$$

bei steigender Temperatur abnehmen und auf

$$\beta_r (\text{unter } 293^\circ \text{K}) = \frac{\beta_2 + \beta_{20}}{\beta_1}$$

bei fallender Temperatur zunehmen. In dieser Weise kann die in Fig. 5 dargestellte Temperaturcharakteristik der logischen Schwellenspannung erhalten werden.

Wie es oben beschrieben wurde, kann gemäß der Erfindung die Eingangspegel-Charakteristik der CMOS-Eingangspufferschaltung gegenüber der Temperatur dadurch stabilisiert werden, daß das Verhältnis zwischen den Elementabmessungen, d.h. das Verhältnis der Verstärkungsfaktoren der Transistoren im Bereich niedriger Temperatur erhöht wird, um eine Zunahme des logischen Schwellenspannungspegels zu unterdrücken, und das Verhältnis zwischen den Verstärkungsfaktoren der Transistoren im Hochtemperaturbereich erhöht wird, um eine Abnahme des logischen Schwellenspannungspegels zu unterdrücken.

Im obigen wurden besonders bevorzugte Ausführungsbeispiele der erfindungsgemäßen Schaltung mit zwei Temperaturkompensationspunkten beschrieben, es können jedoch auch mehr als zwei Temperaturkompensationspunkte vorgesehen sein.

#### Patentansprüche

1. CMOS-Eingangspufferschaltung, gekennzeichnet durch einen ersten MOS Transistor (M 1) eines ersten Leitfähigkeitstyps und einen zweiten MOS Transistor (M 2) eines zweiten Leitfähigkeitstyps, die in Reihe zwischen eine erste Energieversorgungsleitung (1) und eine zweite Energieversorgungsleitung (2) geschaltet sind und an deren Steuerelektroden parallel eine Eingangsspannung mit TLL-Spannungspegel liegt, während am gemeinsamen Verbindungspunkt ihrer Drains eine Ausgangsspannung mit CMOS-Spannungspegel auftritt, die der Eingangsspannung entspricht, wenigstens eine Kombination eines MOS Transistors (M 3, M 5) eines ersten Leitfähigkeitstyps und einer Schalteinrichtung (M 4, M 6), die in Reihe zwischen die erste Energieversorgungsleitung (1) und den gemeinsamen Verbindungspunkt (3) geschaltet ist, wobei an der Steuerelektrode des MOS Transistors (M 3, M 5) die Eingangsspannung liegt, und die Schalteinrichtung (M 4, M 6) über einer gegebenen bestimmten Temperatur an- und unter dieser Temperatur ausgeschaltet wird, und eine Temperatur-Detektoreinrichtung (10) mit wenigstens einem Ausgang, der mit dem Steuersignaleingang jeder Schalteinrichtung (M 4, M 6) verbunden ist, um diese nach Maßgabe der Temperaturänderungen zu steuern, wobei der Wert des Gesamtverstärkungsfaktors jedes Transistors vom ersten Leitfähigkeitstyp bei niedriger Temperatur herab- und bei hoher Temperatur heraufgesetzt wird und in dieser Weise eine Änderung in der logischen Schwellenspannung nach Maßgabe der Temperatur stabilisiert wird.
2. Schaltung nach Anspruch 1, dadurch gekennzeichnet, daß jeder Transistor vom ersten Leitfähigkeitstyp ein P-Kanal MOS Transistor ist und jeder Transistor vom zweiten Leitfähigkeitstyp ein N-Kanal MOS Transistor ist, während die Schalteinrichtung aus einem P-Kanal MOS Transistor gebildet ist.



3. Schaltung nach Anspruch 2, dadurch gekennzeichnet, daß die Temperatur-Detektoreinrichtung (10) mehrere Temperatursensoreinrichtungen umfaßt, die aus einer Stromversorgungseinrichtung (11, 13) und einer Widerstandseinrichtung (12, 14) aus polykristallinem Silizium bestehen, die in Reihe zwischen die erste Energieversorgungsleitung (1) und die zweite Energieversorgungsleitung (2) geschaltet sind, wobei jede
- 5 Temperatur-Sensoreinrichtung auf die Umgebungstemperatur der Widerstandseinrichtung (12, 14) aus polykristallinem Silizium ein anderes elektrisches Ausgangssignal ausgibt.
4. Schaltung nach Anspruch 3, dadurch gekennzeichnet, daß die Temperatur-Detektoreinrichtung (10) eine Digitalwandlereinrichtung (17) umfaßt, die das elektrische Ausgangssignal der Temperatur-Sensoreinrichtungen in eine digitale Form umwandelt.
- 10 5. Schaltung nach Anspruch 4, dadurch gekennzeichnet, daß die Digitalwandlereinrichtung (17) zweistufige in Kaskade geschaltete Inverter umfaßt, wobei der Eingang des Inverters der ersten Stufe mit dem gemeinsamen Verbindungspunkt der Stromversorgungseinrichtung (11, 13) und der Widerstandseinrichtung (12, 14) aus polykristallinem Silizium verbunden ist und der Ausgang des zweiten Inverters am Steuersignaleingang der Schalteinrichtung (M 4, M 6) liegt.
- 15 6. Schaltung nach einem der Ansprüche 3 bis 5, dadurch gekennzeichnet, daß die Widerstandseinrichtung (12, 14) aus polykristallinem Silizium nicht oder leicht mit einem Störstoff dotiert ist.
7. Schaltung nach Anspruch 6, dadurch gekennzeichnet, daß die Stromversorgungseinrichtung (11, 13) Transistoren umfaßt, die im Bereich unter dem Schwellenwert arbeiten.
- 20 8. Schaltung nach Anspruch 7, dadurch gekennzeichnet, daß die Temperatur-Detektoreinrichtung (10) eine Stromfestlegungseinrichtung (15) zum Festlegen des Drainstromes des MOS Transistors der Stromversorgungseinrichtung (11, 13) umfaßt.
9. Schaltung nach Anspruch 8, dadurch gekennzeichnet, daß die Stromfestlegungseinrichtung (15) einen ersten MOS Transistor (M 7) eines ersten Leitfähigkeitstyps, dessen erste Stromelektrode mit der ersten Energieversorgungsleitung (1) verbunden ist, dessen Steuerelektrode mit der zweiten Energieversorgungsleitung (2) verbunden ist und dessen zweite Stromelektrode an einem ersten Knotenpunkt (N 1) liegt, einen zweiten MOS Transistor (M 8) eines zweiten Leitfähigkeitstyps, dessen erste Stromelektrode und dessen Steuerelektrode mit dem ersten Knotenpunkt (N 1) verbunden sind, dessen zweite Stromelektrode mit der zweiten Energieversorgungsleitung (2) verbunden ist und der eine ausreichend große geometrische Abmessung in Vergleich mit der geometrischen Abmessung des ersten MOS Transistors (M 7) hat, so daß er im Bereich unter dem Schwellenwert arbeiten kann,
- 30 einen dritten MOS Transistor (M 9) des zweiten Leitfähigkeitstyps, dessen Steuerelektrode mit der Steuerelektrode des zweiten MOS Transistors (M 8) verbunden ist, dessen erste Stromelektrode mit der zweiten Energieversorgungsleitung (2) verbunden ist, dessen zweite Stromelektrode an einem zweiten Knotenpunkt (N 2) liegt und der eine ausreichend kleine geometrische Abmessung im Vergleich zur geometrischen
- 35 Abmessung des zweiten MOS Transistors (M 8) hat und einen vierten MOS Transistor (M 10) des ersten Leitfähigkeitstyps umfaßt, dessen erste Stromelektrode mit der ersten Energieversorgungsleitung (1) verbunden ist und dessen Steuerelektrode und dessen zweite Stromelektrode gemeinsam am zweiten Knotenpunkt (N 2) liegen und der eine ausreichend große geometrische Abmessung im Vergleich mit der geometrischen Abmessung des dritten MOS Transistors (M 9) hat, damit er im Bereich unterhalb des Schwellenwertes arbeiten kann, wobei seine Steuerelektrode mit der Steuerelektrode des MOS Transistors der Stromversorgungseinrichtung (11, 13) verbunden ist.
- 40 10. Schaltung nach Anspruch 9, dadurch gekennzeichnet, daß die MOS Transistoren der Stromversorgungseinrichtung (11, 13) für die Temperatur-Sensoreinrichtungen so ausgebildet sind, daß sie jeweils verschiedene geometrische Abmessungen haben, damit jede Temperatur-Sensoreinrichtung ein anderes elektrisches
- 45 Signal bei einer gegebenen Umgebungstemperatur der Widerstandseinrichtungen (12, 14) aus polykristallinem Silizium erzeugt.
11. Schaltung nach Anspruch 10, dadurch gekennzeichnet, daß alle Widerstandseinrichtungen (12, 14) aus polykristallinem Silizium der Temperatur-Sensoreinrichtungen so ausgebildet sind, daß sie verschiedene Widerstandswerte haben, damit die Temperatur-Sensoreinrichtungen verschiedene elektrische Signale bei einer gegebenen Umgebungstemperatur der Widerstandseinrichtungen (12, 14) aus polykristallinem Silizium erzeugen.
- 50 12. CMOS-Eingangspufferschaltung, gekennzeichnet durch einen ersten MOS Transistor (M 1) eines ersten Leitfähigkeitstyps und einen zweiten MOS Transistor (M 2) eines zweiten Leitfähigkeitstyps, die in Reihe zwischen eine erste Energieversorgungsleitung (1) und eine zweiten Energieversorgungsleitung (2) geschaltet sind, und an deren Steuerelektroden parallel eine Eingangsspannung mit TTL Spannungspegel liegt, wobei an dem gemeinsamen Verbindungspunkt (3) ihrer Drains eine Ausgangsspannung mit CMOS-Spannungspegel auftritt, die der Eingangsspannung entspricht, wenigstens eine Kombination aus einem MOS Transistor (M 13, M 16) eines zweiten Leitfähigkeitstyps und einer Schalteinrichtung (M 14, M 15), die in Reihe zwischen die zweite Energieversorgungsleitung (2) und den gemeinsamen Verbindungspunkt (3) geschaltet ist, wobei an der Stromelektrode des MOS Transistors (M 13, M 16) die Eingangsspannung liegt und die Schalteinrichtung (M 14, M 15) über einer gegebenen bestimmten Temperatur ausschaltet und darunter anschaltet, und eine Temperatur-Detektoreinrichtung (10) mit wenigstens einem Ausgang, der mit dem Steuersignaleingang der wenigstens einen Schalteinrichtung (M 14, M 15) verbunden ist, um diese nach Maßgabe der Temperaturänderungen zu steuern, wobei der Wert des Gesamtverstärkungsfaktors jedes Transistors vom zweiten Leitfähigkeitstyp bei hoher Temperatur herab- und bei niedriger Temperatur heraufgesetzt wird und somit die Änderung in der logischen Schwellenspannung nach Maßgabe der Temperatur stabilisiert wird.
- 65 13. Schaltung nach Anspruch 12, dadurch gekennzeichnet, daß der Transistor des ersten Leitfähigkeitstyps

ein P-Kanal MOS Transistor ist, und daß jeder Transistor des zweiten Leitfähigkeitstyps ein N-Kanal MOS Transistor ist, während die Schalteinrichtung aus einem N-Kanal MOS Transistor besteht.

14. Schaltung nach Anspruch 13, dadurch gekennzeichnet, daß die Temperatur-Detektoreinrichtung (10) mehrere Temperatur-Sensoreinrichtungen mit einer Stromversorgungseinrichtung (11, 13) und einer Widerstandseinrichtung (12, 14) aus polykristallinem Silizium umfaßt, die zwischen die erste Energieversorgungsleitung (1) und die zweite Energieversorgungsleitung (2) geschaltet sind, wobei die Temperatur-Sensoreinrichtungen auf die Umgebungstemperatur der Widerstandseinrichtung (12, 14) aus polykristallinem Silizium verschiedene elektrische Signale erzeugen.

15. Schaltung nach Anspruch 14, dadurch gekennzeichnet, daß die Temperatur-Detektoreinrichtung (10) eine Digitalwandlereinrichtung (17) umfaßt, die die elektrischen Ausgangssignale der Temperatur-Sensoreinrichtungen in digitale Form umwandelt.

16. Schaltung nach Anspruch 15, dadurch gekennzeichnet, daß die Digitalwandlereinrichtung (17) zweistufige in Kaskade geschaltete Inverter umfaßt, wobei der Eingang des Inverters der ersten Stufe mit dem gemeinsamen Verbindungspunkt der Stromversorgungseinrichtung (11, 13) und der Widerstandseinrichtung (12, 14) aus polykristallinem Silizium verbunden ist, und der Ausgang des zweiten Inverters mit dem Steuersignaleingang der Schalteinrichtung (M 14, M 15) verbunden ist.

17. Schaltung nach einem der Ansprüche 14 bis 16, dadurch gekennzeichnet, daß die Widerstandseinrichtung (12, 14) aus polykristallinem Silizium nicht oder leicht mit einem Störstoff dotiert ist.

18. Schaltung nach Anspruch 17, dadurch gekennzeichnet, daß jede Stromversorgungseinrichtung (11, 13) aus einem MOS Transistor besteht, der im Bereich unter dem Schwellenwert arbeitet.

19. Schaltung nach Anspruch 18, dadurch gekennzeichnet, daß die Temperatur-Detektoreinrichtung (10) eine Stromfestlegungseinrichtung (15) zum Festlegen des Drainstroms des MOS Transistors der Stromversorgungseinrichtung (11, 13) umfaßt.

20. Schaltung nach Anspruch 19, dadurch gekennzeichnet, daß die Stromfestlegungseinrichtung (15) einen ersten MOS Transistor (M 7) eines ersten Leitfähigkeitstyps, dessen erste Stromelektrode mit der ersten Energieversorgungsleitung (1) verbunden ist, dessen Steuerelektrode mit der zweiten Energieversorgungsleitung (2) verbunden ist und dessen zweite Stromelektrode an einem ersten Knotenpunkt (N 1) liegt, einen zweiten MOS Transistor (M 8) eines zweiten Leitfähigkeitstyps, dessen erste Stromelektrode mit dem ersten Knotenpunkt (N 1) verbunden ist und dessen zweite Stromelektrode mit der zweiten Energieversorgungsleitung (2) verbunden ist, und der eine ausreichend große geometrische Abmessung im Vergleich mit der geometrischen Abmessung des ersten MOS Transistors (M 7) hat, damit er im Bereich unterhalb des Schwellenwertes arbeiten kann,

einen dritten MOS Transistor (M 9) vom zweiten Leitfähigkeitstyp, dessen Steuerelektrode mit der Steuerelektrode des zweiten MOS Transistors (M 8) verbunden ist, dessen erste Stromelektrode mit der zweiten Energieversorgungsleitung (2) verbunden ist und dessen zweite Stromelektrode an einem zweiten Knotenpunkt (N 2) liegt und der eine ausreichend kleine geometrische Abmessung im Vergleich mit der geometrischen Abmessung des zweiten MOS Transistors (M 8) hat und

einen vierten MOS Transistor (M 10) vom ersten Leitfähigkeitstyp umfaßt, dessen erste Stromelektrode mit der ersten Energieversorgungsleitung (1) verbunden ist und dessen Steuerelektrode und dessen zweite Stromelektrode gemeinsam am zweiten Knotenpunkt (N 2) liegen und der eine ausreichend große geometrische Abmessung im Vergleich mit der geometrischen Abmessung des dritten MOS Transistors (M 9) ist, damit er im Bereich unterhalb des Schwellenwertes arbeiten kann, wobei seine Steuerelektrode mit der Steuerelektrode des MOS Transistors der Stromversorgungseinrichtung (11, 13) verbunden ist.

21. Schaltung nach Anspruch 20, dadurch gekennzeichnet, daß alle MOS Transistoren der Stromversorgungseinrichtungen (11, 13) der Temperatur-Sensoreinrichtungen so ausgebildet sind, daß sie verschiedene geometrische Abmessungen haben, damit die Temperatur-Sensoreinrichtungen auf die Umgebungstemperatur der Widerstandseinrichtung (12, 14) aus polykristallinem Silizium verschiedene elektrische Signale erzeugen.

22. Schaltung nach Anspruch 21, dadurch gekennzeichnet, daß die Widerstandseinrichtungen (12, 14) aus polykristallinem Silizium der Temperatur-Sensoreinrichtungen so ausgebildet sind, daß sie verschiedene Widerstandswerte haben, damit die Temperatur-Sensoreinrichtungen auf die Umgebungstemperatur der Widerstandseinrichtung (12, 14) aus polykristallinem Silizium verschiedene elektrische Signale erzeugen.

23. CMOS-Eingangspufferschaltung, gekennzeichnet durch einen ersten MOS Transistor (M 1) eines ersten Leitfähigkeitstyps und einen zweiten MOS Transistor (M 2) eines zweiten Leitfähigkeitstyps, die in Reihe zwischen eine erste Energieversorgungsleitung (1) und eine zweite Energieversorgungsleitung (2) geschaltet sind und an deren Steuerelektroden parallel eine Eingangsspannung mit TTL-Spannungspegel liegt, während am gemeinsamen Verbindungspunkt (3) ihrer Drains eine Ausgangsspannung mit CMOS-Spannungspegel auftritt, die der Eingangsspannung entspricht, wenigstens eine Kombination aus einem MOS Transistor (M 17) eines ersten Leitfähigkeitstyps und einer ersten Schalteinrichtung (M 18), die in Reihe zwischen die erste Energieversorgungsleitung (1) und den gemeinsamen Verbindungspunkt (3) geschaltet sind, wobei an der Steuerelektrode des MOS Transistors (M 17) die Eingangsspannung liegt und die erste Schalteinrichtung (M 18) über einer gegebenen Temperatur an- und unter dieser Temperatur ausgeschaltet, wenigstens eine Kombination aus einem MOS Transistor (20) eines zweiten Leitfähigkeitstyps und einer zweiten Schalteinrichtung (M 19), die in Reihe zwischen die zweite Energieversorgungsleitung (2) und den gemeinsamen Verbindungspunkt (3) geschaltet sind, wobei an der Steuerelektrode des MOS Transistors (M 20) die Eingangsspannung liegt und die zweite Schalteinrichtung (M 19) über einer gegebenen Temperatur aus- und unter dieser Temperatur angeschaltet, und eine Temperatur-Detektoreinrichtung (10) mit einer Vielzahl von Ausgängen, die jeweils mit einem Steuersignaleingang der wenigstens einen ersten Schaltein-

richtung und der wenigstens einen zweiten Schalteinrichtung (M 18, M 19) verbunden sind, so daß der Wert des Gesamtverstärkungsfaktors der Transistoren vom ersten Leitfähigkeitstyp bei hoher Temperatur zunimmt und der Wert des Gesamtverstärkungsfaktors der Transistoren vom zweiten Leitfähigkeitstyp bei niedriger Temperatur abnimmt und damit die Änderung in der logischen Schwellenspannung stabilisiert ist.

24. Schaltung nach Anspruch 23, dadurch gekennzeichnet, daß die erste Schalteinrichtung (M 18) ein MOS Transistor von einem ersten Leitfähigkeitstyp ist, während die zweite Schalteinrichtung (M 19) ein MOS Transistor vom zweiten Leitfähigkeitstyp ist, und die Transistoren vom ersten Leitfähigkeitstyp P-Kanal MOS Transistoren sind, während die Transistoren vom zweiten Leitfähigkeitstyp N-Kanal MOS Transistoren sind.

25. Schaltung nach Anspruch 24, dadurch gekennzeichnet, daß die Temperatur-Detektoreinrichtung (10) mehrere Temperatur-Sensoreinrichtungen mit einer Stromversorgungseinrichtung (11, 13) und einer Widerstandseinrichtung (12, 14) aus polykristallinem Silizium umfaßt, die in Reihe zwischen die erste Energieversorgungsleitung (1) und die zweite Energieversorgungsleitung (2) geschaltet sind, wobei die Temperatur-Sensoreinrichtungen auf die Umgebungstemperatur der Widerstandseinrichtung (12, 14) aus polykristallinem Silizium jeweils verschiedene elektrische Ausgangssignale erzeugen.

26. Schaltung nach Anspruch 25, dadurch gekennzeichnet, daß die Temperatur-Detektoreinrichtung (10) eine Vielzahl von Digitalwandlereinrichtungen (17) umfassen, die die elektrischen Ausgangssignale der Temperatur-Sensoreinrichtungen in eine digitale Form umwandeln.

27. Schaltung nach Anspruch 25, dadurch gekennzeichnet, daß jede Digitalwandlereinrichtung (17) zweistufige in Kaskade geschaltete Inverter umfaßt, wobei der Eingang des Inverters der ersten Stufe mit dem gemeinsamen Verbindungspunkt der Stromversorgungseinrichtungen (11, 13) und der Widerstandseinrichtungen (12, 14) aus polykristallinem Silizium verbunden ist und der Ausgang des zweiten Inverters mit dem Steuersignaleingang der Schalteinrichtung (M 18, M 19) verbunden ist.

28. Schaltung nach einem der Ansprüche 25 bis 27, dadurch gekennzeichnet, daß die Widerstandseinrichtungen (12, 14) aus polykristallinem Silizium nicht oder leicht mit einem Störstoff dotiert sind.

29. Schaltung nach Anspruch 28, dadurch gekennzeichnet, daß jede Stromversorgungseinrichtung (11, 13) einen MOS Transistor umfaßt, der im Bereich unterhalb des Schwellenwertes arbeitet.

30. Schaltung nach Anspruch 29, dadurch gekennzeichnet, daß die Temperatur-Detektoreinrichtung (10) eine Stromfestlegungseinrichtung (15) zum Festlegen des Drainstromes des MOS Transistors der Stromversorgungseinrichtung (11, 13) umfaßt.

31. Schaltung nach Anspruch 29, dadurch gekennzeichnet, daß die Stromfestlegungseinrichtung (15) einen ersten MOS Transistor (M 7) eines ersten Leitfähigkeitstyps, dessen erste Stromelektrode mit der ersten Energieversorgungsleitung (1) verbunden ist, dessen Steuerelektrode mit der zweiten Energieversorgungsleitung (2) verbunden ist und dessen zweite Stromelektrode an einem ersten Knotenpunkt (N 1) liegt, einen zweiten MOS Transistor (M 8) eines zweiten Leitfähigkeitstyps, dessen erste Stromelektrode mit dem ersten Knotenpunkt (N 1) verbunden ist, dessen zweite Stromelektrode mit der zweiten Energieversorgungsleitung (2) verbunden ist, und der eine ausreichend große geometrische Abmessung im Vergleich mit der geometrischen Abmessung des ersten MOS Transistors (M 7) hat, damit er im Bereich unterhalb des Schwellenwertes arbeiten kann,

einen dritten MOS Transistor (M 9) des zweiten Leitfähigkeitstyps, dessen Steuerelektrode mit der Steuerelektrode des zweiten MOS Transistors (M 8) verbunden ist, dessen erste Stromelektrode mit der zweiten Energieversorgungsleitung (2) verbunden ist, dessen zweite Stromelektrode an einem zweiten Knotenpunkt (N 2) liegt und der eine ausreichend kleine geometrische Abmessung im Vergleich zur geometrischen Abmessung des zweiten MOS Transistors (M 8) hat, und

einen vierten MOS Transistor (M 10) des ersten Leitfähigkeitstyps umfaßt, dessen erste Stromelektrode mit der ersten Energieversorgungsleitung (1) verbunden ist, dessen Steuerelektrode und dessen zweite Stromelektrode am zweiten Knotenpunkt (N 2) liegen und der eine ausreichend große geometrische Abmessung im Vergleich mit der geometrischen Abmessung des dritten MOS Transistors (M 9) hat, damit er im Bereich unterhalb des Schwellenwertes arbeiten kann, wobei seine Steuerelektrode mit der Steuerelektrode des MOS Transistors der Stromversorgungseinrichtung (11, 13) verbunden ist.

32. Schaltung nach Anspruch 31, dadurch gekennzeichnet, daß alle MOS Transistoren der Stromversorgungseinrichtungen (11, 13) für die Temperatur-Sensoreinrichtungen verschiedene geometrische Abmessungen haben, damit die Temperatur-Sensoreinrichtungen auf die Umgebungstemperatur der Widerstandseinrichtungen (12, 14) aus polykristallinem Silizium verschiedene elektrische Ausgangssignale erzeugen.

33. Schaltung nach Anspruch 31, dadurch gekennzeichnet, daß alle Widerstandseinrichtungen (12, 14) aus polykristallinem Silizium verschiedene Widerstandswerte haben, damit die Temperatur-Sensoreinrichtungen auf die Umgebungstemperatur der Widerstandseinrichtungen (12, 14) aus polykristallinem Silizium verschiedene elektrische Ausgangssignale erzeugen.

Hierzu 4 Seite(n) Zeichnungen

FIG. 1 (Prior Art)

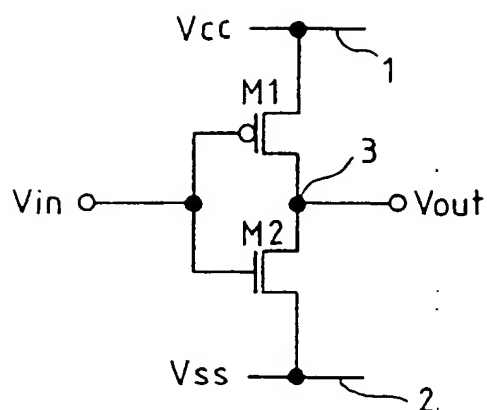
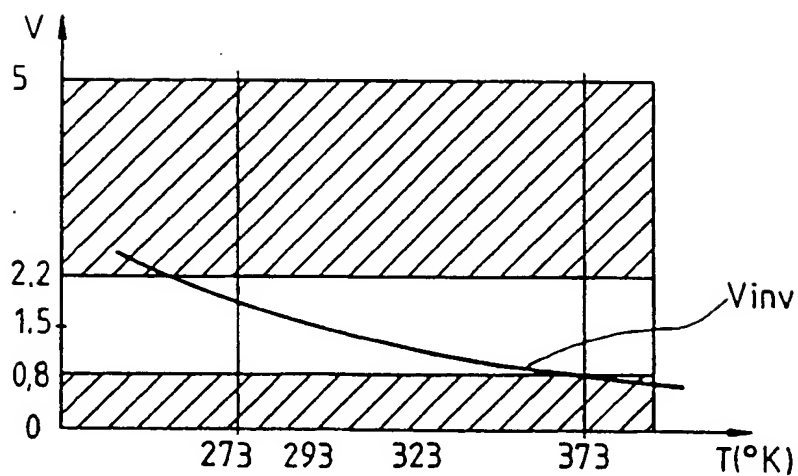


FIG. 2 (Prior Art)



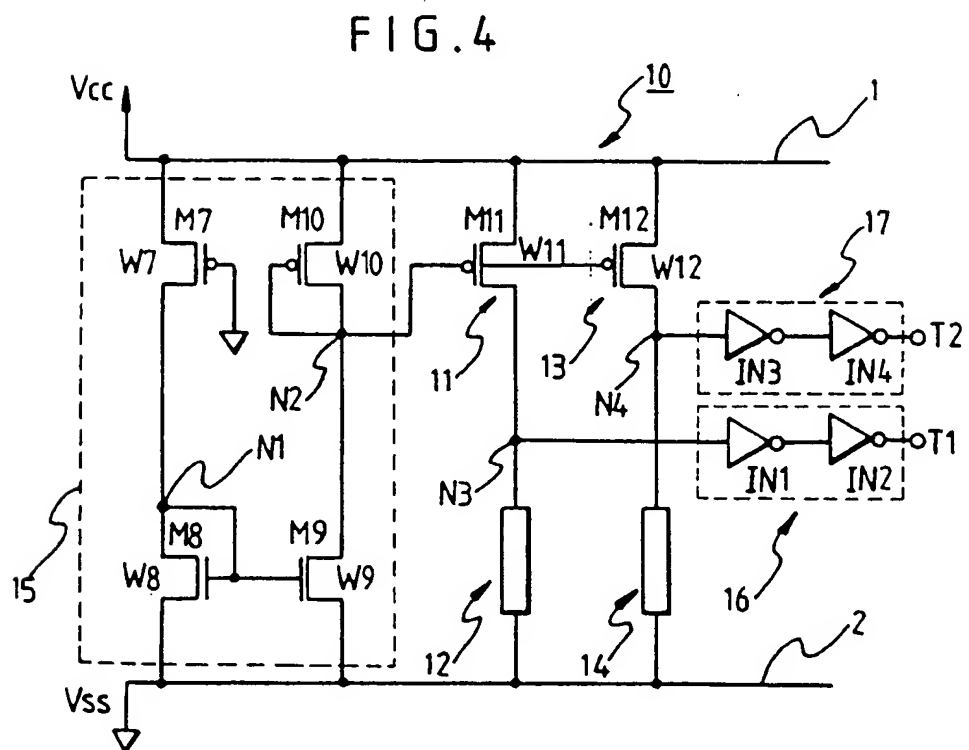
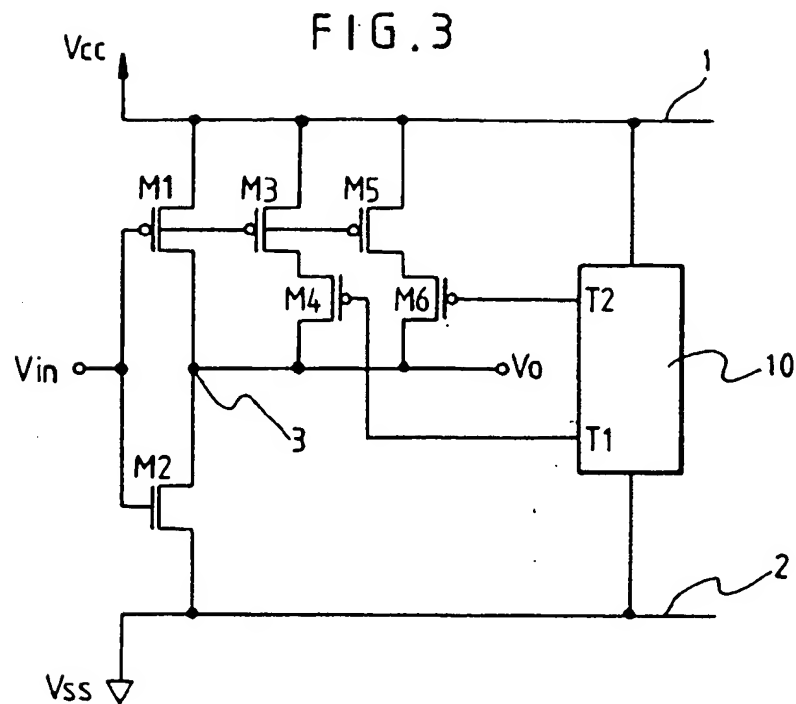


FIG. 5

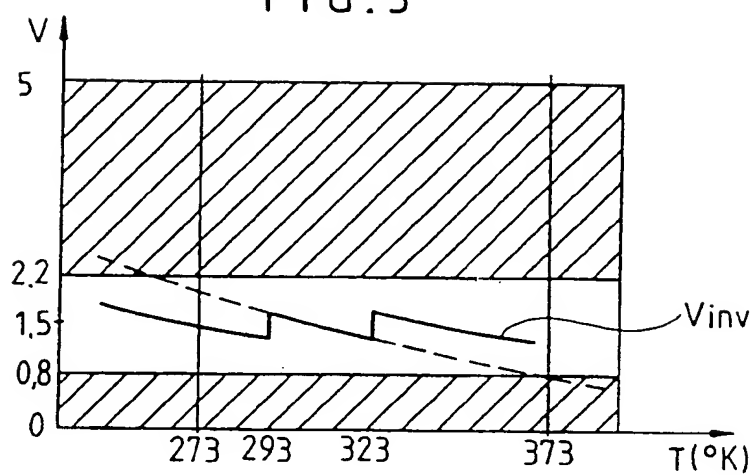


FIG. 6

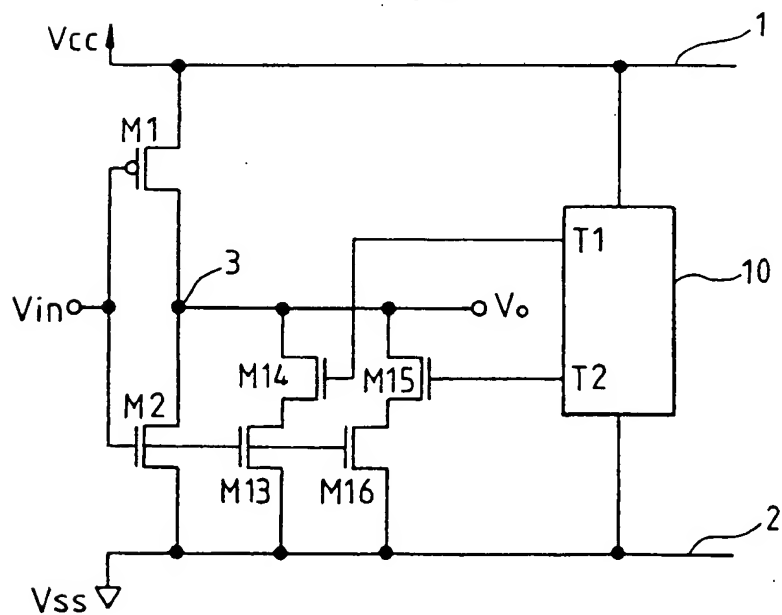


FIG. 7

